

**ПРАВИТЕЛЬСТВО РОССИЙСКОЙ ФЕДЕРАЦИИ**  
**ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ**  
**ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ**  
**НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ**  
**«ВЫСШАЯ ШКОЛА ЭКОНОМИКИ»**

Факультет компьютерных наук

Образовательная программа «Программная инженерия»

**СОГЛАСОВАНО**

Доцент базовой кафедры

«Системное программирование»

Института системного программирования

им В.П. Иванникова РАН (ИСП РАН)

факультета компьютерных наук,

кандидат физико-математических наук

**УТВЕРЖДАЮ**

Академический руководитель

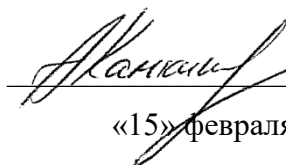
образовательной программы факультета


компьютерных наук

«Программная инженерия»

профессор департамента программной

инженерии, кандидат технических наук

 А. С. Камкин  
«15» февраля 2023 г.

 В. В. Шилов  
«7» апреля 2023 г.

**ПРОТОТИП ОНЛАЙН-ГЕНЕРАТОРА ТЕСТОВЫХ ПРОГРАММ ДЛЯ**  
**МИКРОПРОЦЕССОРОВ**

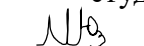
**Программа и методика испытаний**

**ЛИСТ УТВЕРЖДЕНИЯ**

**RU.17701729.04.04-01 51 01-1-ЛУ**

Исполнитель

студент группы БПИ201

 / М. Ю. Литвинов /  
«31» января 2023 г.

Москва, 2023

Подп. и дата	
Инв. № дубл.	
Взам. инв. №	
Подп. и дата	
Инв. № подл	

**ПРОТОТИП ОНЛАЙН-ГЕНЕРАТОРА ТЕСТОВЫХ ПРОГРАММ ДЛЯ  
МИКРОПРОЦЕССОРОВ**

**Программа и методика испытаний**

**RU.17701729.04.04-01 51 01-1-ЛУ**

**Листов 36**

## СОДЕРЖАНИЕ

1. ОБЪЕКТ ИСПЫТАНИЙ .....	4
Наименование программы .....	4
Наименование программы на английском языке .....	4
Краткая характеристика области применения .....	4
2. ЦЕЛЬ ИСПЫТАНИЙ .....	6
Документы, на основании которых ведется разработка .....	6
3. ТРЕБОВАНИЯ К ПРОГРАММЕ .....	7
Требования к функциональным характеристикам .....	7
Состав выполняемых функций .....	7
Организация входных данных .....	7
Состав описания ISA тестируемого прототипа .....	8
Состав описания частично заданных и строго зафиксированных тестов .....	9
Состав описания мутаций созданных последовательностей инструкций .....	10
Организация выходных данных .....	10
Требования к интерфейсу .....	10
Требования к надежности .....	11
Условия эксплуатации .....	11
Требования к составу и параметрам технических и программных средств .....	11
Требования к информационной и программной совместимости .....	12
4. ТРЕБОВАНИЯ К ПРОГРАММНОЙ ДОКУМЕНТАЦИИ .....	13
Состав программной документации .....	13
Специальные требования к программной документации .....	13
5. СРЕДСТВА И ПОРЯДОК ИСПЫТАНИЙ .....	14
Технические и программные средства, используемые при испытаниях .....	14
Порядок проведения испытаний .....	14
6. МЕТОДЫ ИСПЫТАНИЙ .....	15
Проверка требований к программной документации .....	15
Испытания функциональных характеристик программы .....	15

Проверка требований к интерфейсу ..... 15

Проверка требований к надежности ..... 16

7. СПИСОК ИСПОЛЬЗОВАВШИХСЯ ИСТОЧНИКОВ ..... 17

8. ПРИЛОЖЕНИЯ ..... 18

    Приложение 1 ..... 18

    Приложение 2 ..... 19

## 1. ОБЪЕКТ ИСПЫТАНИЙ

### Наименование программы

Прототип онлайн-генератора тестовых программ для микропроцессоров.

### Наименование программы на английском языке

Prototype of Online Test Program Generator for Microprocessors.

### Краткая характеристика области применения

Программа, предоставляющая возможность автоматической генерации тестовых последовательностей из инструкций, составляющих целевую микропроцессорную архитектуру (Instruction Set Architecture, ISA) некоторого семейства микропроцессоров, а также возможности непосредственного исполнения сгенерированных тестовых последовательностей (динамическое/функциональное онлайн-тестирование) и сравнения результатов выполнения каждой тестовой последовательности с ее несколько измененной в рамках задаваемых правил версией.

Поставленная задача выполняется в рамках верификации как одного из этапов проектирования микропроцессоров и решение поставленной задачи имеет применение в автоматизации процесса системной верификации микропроцессоров[3], модели которых могут быть реализованы в сверхбольших интегральных схемах (СБИС), программируемых логических интегральных схемах (ПЛИС), а также запущены через программные эмуляторы. В решении задачи применяются методы случайной генерации входных данных, использующихся в инструкциях микропроцессоров в рамках генерируемых тестовых последовательностей.

В силу сложности масштабирования поставленной задачи по отношению к произвольно-задаваемым ISA, итоговое программное решение должно обеспечивать корректную работу как минимум в рамках микропроцессорной архитектуры RISC-V с базовым набором инструкций RV32I<sup>1</sup>, однако подразумевается проектирование решения с учетом упомянутого масштабирования задачи в перспективе.

<sup>1</sup> Подразумевается базовый набор инструкций RV32I, спецификация которого актуальна на момент разработки[1].

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Поскольку процесс верификации микропроцессоров не обязан включать в себя избыточную настройку вспомогательных программных средств, взаимодействующих с верифицируемой реализацией (прототипом) модели микропроцессора (в частности, настройку операционной системы и средств компиляции пользовательских программ), и раз ISA могут варьироваться от реализации к реализации, то под каждую тестируемую реализацию необходимо предварительно осуществить сборку специфической версии разрабатываемого генератора тестовых последовательностей с помощью средств кросс-компиляции перед ее непосредственной выгрузкой на верифицируемый прототип, где итоговый генератор не должен опираться на код, взаимодействующий с операционной системой.

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

## 2. ЦЕЛЬ ИСПЫТАНИЙ

### Документы, на основании которых ведется разработка

Целью испытаний является проверка на отсутствие сбоев в работе программы при корректно сформулированных входных данных в общем и при работе с отдельными разделами оперативной памяти компьютера в частности. Второстепенной целью является проверка корректности реализации алгоритма генерации тестовых последовательностей в процессе обработки шаблонных блоков частично задаваемых тестов. Наконец, проводится проверка проверки корректности оформления необходимой документации к программе (описывается в пункте 4 «Требования к программной документации» настоящего документа).

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

### 3. ТРЕБОВАНИЯ К ПРОГРАММЕ

#### Требования к функциональным характеристикам

##### Состав выполняемых функций

- Использование пользовательских описаний ISA тестируемой модели микропроцессора, моделей (шаблонов) частично заданных тестов и строго зафиксированных тестов, логики изменения (мутаций) генерируемых последовательностей инструкций, а также логики сравнения результатов выполнения оригинальной и измененной последовательностей инструкций для определения специфики конкретного генератора;
- Последовательная генерация последовательностей из инструкций целевой микропроцессорной архитектуры по предоставленным моделям частично заданных тестов с подготовкой требуемых для их полного определения входных данных;
- Последовательная генерация последовательностей из инструкций целевой ISA по описаниям строго зафиксированных тестов;
- Использование пользовательского описания логики мутаций последовательностей генерируемых инструкций для их изменения в границах исходного уровня функциональной эквивалентности и дальнейшего сравнения результатов выполнения каждой сгенерированной последовательности инструкций целевой ISA с ее измененной версией;
- Подготовка и вывод итоговых вердиктов об успешности выполнения тестируемым прототипом микропроцессора каждой сгенерированной последовательности инструкций и ее измененной версии по заданным правилам сравнения.

##### Организация входных данных

Так как работа с генератором в перспективе может производиться на bare-metal системах, каждая из которых обладает собственной ISA и моделью памяти, то уже на этапе компиляции требуется указать все те параметры и пользовательские определения, которые будут использоваться в скомпилированном онлайн-генераторе, при этом исключив необходимость обращений к файловой системе уже в процессе работы программы.

В первую очередь, пользователю необходимо передать информацию о кросс-компиляторе языка Си (стандарт C99) и передаваемых ему параметрах, а также используемую верифицируемой системой

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата



длину машинного слова, которые будут использоваться в процессе сборки исполняемого модуля генератора тестовых программ непосредственно под тестируемую модель микропроцессора.

Далее, пользователю требуется предоставить четыре абсолютных или относительных пути в файловой системе, описывающих расположение файлов описания ISA для тестируемой модели микропроцессора, файлов с описанием моделей частично заданных и строго зафиксированных тестов, файлов с описанием логики мутаций генерируемых последовательностей инструкций соответственно и ожидаемое расположение итогового файла онлайн-генератора.

Дополнительно пользователь может использовать флаг, сигнализирующий об использовании функции «printf», объявленной в заголовке «stdio.h» из стандартной библиотеки языка Си, для передачи итоговых вердиктов об исполнении тестовых последовательностей непосредственно в стандартный поток вывода.

Так как работа с генератором не обязательно предполагает наличие операционной системы на целевом микропроцессоре (подобное программное окружение принято называть bare-metal системами), а значит, не предполагается и доступ к стандартным средствам выделения динамической памяти, по возможности, все использующиеся массивы данных с информацией, необходимой для функционирования генератора, должны быть объявлены статически.

Отдельные части структуры предоставляемых пользователем файлов должны быть зафиксированными для корректного взаимодействия с ядром генератора - их описание должно быть включено в документ «Прототип онлайн-генератора тестовых программ для микропроцессоров». Руководство системного программиста (ГОСТ 19.503-79), в то время как общие требования к ним описываются ниже.

После непосредственной компиляции исполняемого модуля генератора тестовых программ он может быть загружен на исполнение в системе, подлежащей тестированию – на данном этапе никакие пользовательские входные данные уже не требуются.

### **Состав описания ISA тестируемого прототипа**

Файлы с описанием ISA для верифицируемого прототипа должны включать в себя следующий минимальный набор аспектов:

- Описание количества регистров общего назначения, а также количества регистров для работы с вещественными числами, если те используются;

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

- Описание количеств присутствующих в описании обычных инструкций и групп, на которые их можно поделить, а также псевдо-инструкций, реализуемых через имеющиеся обычные инструкции;
- Описание реализации зафиксированного интерфейса для способов выгрузки значений регистров из/в статически выделенные области оперативной памяти без изменения до/во время/после операции выгрузки соответствующих регистрам значений;
- Описание представлений групп инструкций, не-параметризованных инструкций, псевдо-инструкций и параметризованных инструкций;
- Описание реализации зафиксированного интерфейса для кодирования (ассемблирования) инструкции по их имеющимся данным;
- Описание реализации зафиксированного интерфейса для сравнения двух полученных в процессе выполнения наборов значений регистров – для исходной сгенерированной тестовой последовательности инструкций и ее измененной версии.

#### **Состав описания частично заданных и строго зафиксированных тестов**

Файлы с описанием частично заданных и строго зафиксированных тестов для верифицируемого прототипа должны включать в себя следующий минимальный набор аспектов:

- Описание максимальных допустимых количеств инструкций в рамках одной генерируемой последовательности (обязательный параметр) и инструкций, добавляемых в процессе мутаций последовательностей (необязательный параметр – при его отсутствии количество генерируемых дополнительно инструкций будет зависеть от первого упомянутого параметра);
- Описание количеств частично заданных и строго зафиксированных тестов;
- Описание частично заданных тестов через конкретный для всех таких тестов интерфейс;
- Описание строго зафиксированных тестов через конкретный для всех таких тестов интерфейс;
- Описание реализации зафиксированного интерфейса для заполнения инструкций по умолчанию в рамках одной тестовой последовательности, если для обрабатываемого шаблона не задавалась специфическая функция;

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

### **Состав описания мутаций созданных последовательностей инструкций**

Файлы с описанием мутаций (с сохранением функциональной эквивалентности) созданных последовательностей инструкций должны включать в себя реализацию интерфейса для добавления конкретного количества дополнительных строк в выделенную под это область памяти на основании сгенерированной ранее тестовой последовательности инструкций.

### **Организация выходных данных**

На этапе компиляции выходными данными считаются статически-скомпилированный исполняемый файл самого онлайн-генератора тестовых программ, а также набор файлов использовавшихся при сборке.

На этапе исполнения в качестве основных выходных данных предоставляются вердикты об успешности/неуспешности корректности работы использовавшихся в тестах инструкций на основании сравнения результатов выполнения каждой сгенерированной тестовой последовательности инструкций и ее измененной версии, а также должны предоставляться некоторые дополнительные данные, необходимые для воспроизведения тестов с некорректным завершением работы – все вердикты и необходимые для их описания данные должны соответствовать некоторому общему интерфейсу и располагаться в оперативной памяти, связанной с верифицируемым прототипом.

Если при компиляции генератора использовался флаг использования стандартного потока вывода, описанный в пункте 3.1.2 «Организация входных данных», то информация о вердиктах выполнения тестовых последовательностей инструкций будет дополнительно выводиться в упомянутый стандартный поток вывода.

### **Требования к интерфейсу**

В случае использования на этапе компиляции выделенного флага для использования стандартного потока вывода языка Си, упомянутого в пункте 3.1.2 «Организация входных данных», с целью текстового отображения итоговых вердиктов о выполнении конкретных тестовых последовательностей, сама визуализация будет осуществляться в окне командной строки (терминала) одной из указанных в пункте 4.5 «Требования к составу и параметрам технических средств» операционных систем – в противном же случае стандартное получение данных вердиктов о выполнении конкретных тестовых последовательностей из оперативной памяти тестируемой системы будет осуществляться через сторонние интерфейсы, не описываемые в рамках текущей программной реализации.

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

## Требования к надежности

За счет специфики поставленной в рамках программной реализации задачи и ее предполагаемого решения, преждевременное завершение работы программы возможно в случае несоответствий описанным в пункте 3.1.2 «Организация входных данных» правилам или в случае технических неполадок, не подлежащих исправлению со стороны работы программы (например, неисправность используемой в процессе тестирования ПЛИС).

В то же время, использование предоставленных вместе с исходным кодом проекта готовые описания ISA RISC-V RV32I и базовой логики совершения мутаций над последовательностями тестовых инструкций должны успешно работать в связке с ядром генератора.

В случае использования на этапе компиляции выделенного флага для использования стандартного потока вывода языка Си, упомянутого в пункте 3.1.2 «Организация входных данных», с целью текстового отображения итоговых вердиктов о выполнении конкретных тестовых последовательностей, по используемому стандарту языка Си C99 большинство ошибок в процессе работы программы будут отражены в упомянутом стандартном потоке вывода.

## Условия эксплуатации

Условия эксплуатации описываются в составе документа «Прототип онлайн-генератора тестовых программ для микропроцессоров». Руководство системного программиста (ГОСТ 19.503-79).

## Требования к составу и параметрам технических и программных средств

Для успешной компиляции программы требуется следующий состав технических средств:

- Компьютер с одной из установленных операционных систем – Linux (x86-64) или Linux (ARM64);
- Кросс-компилятор языка Си (стандарт C99) с генерацией кода, совместимого с тестируемым прототипом микропроцессора на уровне его ISA;
- Система CMake[2] с открытым исходным кодом для кроссплатформенного описания процесса компиляции исходного кода на языке Си версии 3.16 или более поздней;
- Наличие не менее 100МБ свободного места на жестком диске компьютера.

Иные требования совпадают с системными требованиями указанных операционных систем.

Поскольку скомпилированный прототип генератора будет использовать статическую память в глобальной области видимости в зависимости от требований самого пользователя (описывается набором использующихся регистров в рамках тестируемой системы, количеством тестов и итераций для отдельных

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

тестов, объемом памяти для выгрузки результатов отдельных тестов и так далее), итоговое минимальное ограничение на объем оперативной памяти не может быть сформулировано однозначно.

В случае запуска генератора на уровне bare-metal системы (например, с использованием ПЛИС), могут потребоваться условия совместимости аппаратного обеспечения с существующими программными решениями для выделения регионов оперативной памяти, используемой в генераторе, а также для возможности изучить выгруженные генератором данные вердиктов о выполненных тестах.

Если же запуск генератора будет производиться в рамках эмулятора микропроцессора с опциональным флагом вывода сопровождающих и отладочных сообщений, то вдобавок к вышеупомянутым требованиям добавится и требование совместимости с набором интерфейсов системных вызовов в рамках стандарта C99.

### **Требования к информационной и программной совместимости**

Разработка и отладка кода ядра генератора тестовых инструкций для микропроцессоров, а также одной из реализаций описания ISA RISC-V RV32I, производится на языке программирования Си стандарта C99 с опциональным использованием заголовка стандартных операций ввода/вывода «stdio.h» стандартной библиотеки языка. Сама сборка производится через генератор систем сборки CMake с открытым исходным кодом.

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

#### 4. ТРЕБОВАНИЯ К ПРОГРАММНОЙ ДОКУМЕНТАЦИИ

##### Состав программной документации

- «Прототип онлайн-генератора тестовых программ для микропроцессоров».  
Техническое задание (ГОСТ 19.201-78);
- «Прототип онлайн-генератора тестовых программ для микропроцессоров».  
Пояснительная записка (ГОСТ 19.404-79) ;
- «Прототип онлайн-генератора тестовых программ для микропроцессоров».  
Руководство системного программиста (ГОСТ 19.503-79);
- «Прототип онлайн-генератора тестовых программ для микропроцессоров».  
Программа и методика испытаний (ГОСТ 19.301-79);
- «Прототип онлайн-генератора тестовых программ для микропроцессоров».  
Текст программы (ГОСТ 19.401-78).

##### Специальные требования к программной документации

Документы к программе должны быть составлены в соответствии с ГОСТ 19.106-78 и ГОСТами к каждому отдельному виду прилагаемых документов (раздел 5, «Состав программной документации»).

Пояснительная записка должна быть загружена в систему Антиплагиат через LMS «НИУ ВШЭ».

Документация и программа сдается в электронном виде в форматах .pdf или .docx в архиве форматов .zip или .rar .

За три дня до защиты проекта перед предметной комиссией все материалы курсового проекта (программная документация, программный проект, отзыв руководителя, отчет системы Антиплагиат) должны быть загружены одним или несколькими архивами в проект дисциплины «Курсовой проект» в личном кабинете в информационной образовательной среде SmartLMS НИУ ВШЭ.

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

## 5. СРЕДСТВА И ПОРЯДОК ИСПЫТАНИЙ

### Технические и программные средства, используемые при испытаниях

- Виртуальная машина установленной операционной системой Debian Linux x64;
- Наличие в распоряжении виртуальной машины 6ГБ свободного места на жестком диске и 8ГБ оперативной памяти;
- Кросс-компилятор языка Си для стандарта C99, адаптированный под использование с ISA RISC-V RV32I;
- Система CMake версии 3.18.

### Порядок проведения испытаний

- Проверка требований к программной документации;
- Испытания функциональных характеристик программы;
- Проверка требований к интерфейсу;
- Проверка требований надежности.

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

## 6. МЕТОДЫ ИСПЫТАНИЙ

### Проверка требований к программной документации

В отношении программной документации осуществляется визуальная проверка на соответствие заданному общему набору документов ГОСТ 19.106-78 и конкретным документам ГОСТ в отношении каждого элемента документации.

Все требования соблюдены.

### Испытания функциональных характеристик программы

Для более точной проверки корректности реализации алгоритма обработки шаблонных блоков в критических местах программы были размещены точки вывода отладочной информации в стандартный поток вывода языка Си, точно описывающие текущий контекст обработки некоторого шаблона.

В рамках проверки корректности успешного завершения работы программы при корректно заданных входных данных, а также проверки на корректность реализации обработки шаблонных блоков частично заданных тестов, был разработан набор тестов, рассматриваемый с точки зрения программы как набор тестов некоторой реализации ISA RISC-V RV32I, который покрывает все известные на момент разработки случаи задаваемых частично заданных шаблонов – было зафиксировано корректное поведение во всех рассматриваемых случаях и результаты тестовых запусков были зафиксированы в Приложении 2 настоящего документа, а содержание тестов отражено в документе «Прототип онлайн-генератора тестовых программ для микропроцессоров». Текст программы (ГОСТ 19.401-78).

Все требования соблюдены.

### Проверка требований к интерфейсу

В случае использования на этапе компиляции выделенного флага для использования стандартного потока вывода языка Си, упомянутого в пункте 3.1.2 «Организация входных данных», с целью текстового отображения итоговых вердиктов о выполнении конкретных тестовых последовательностей, помимо загрузки данных вердиктов в оперативную память по заданному адресу через фиксированный на уровне ядра интерфейс также в стандартный поток вывода языка Си выгружается информация сопроводительная информация о вердиктах проведенных тестов.

Все требования соблюдены.

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата



**Проверка требований к надежности**

В процессе работы программы применимо к одной из реализаций модели ISA RISC-V RV32I (с корректно заданными ее составляющими) и набора тестов к самой ISA с покрытием всех известных на момент разработки не было зафиксировано случаев сбоя в процессе работы онлайн-генератора.

Все требования соблюдены.

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

## 7. СПИСОК ИСПОЛЬЗОВАВШИХСЯ ИСТОЧНИКОВ

- 1) Andrew Waterman, Krste Asanovic. The RISC-V Instruction Set Manual [Статья в Интернет]  
Режим доступа: <https://riscv.org/wp-content/uploads/2017/05/riscv-spec-v2.2.pdf> , свободный.  
(дата обращения: 14.11.2022)
- 2) CMake cross-platform build-process managing system. [Интернет-ресурс]  
Режим доступа: <https://cmake.org/> , свободный. (дата обращения: 14.12.2022)
- 3) А.С. Камкин, А.М. Коцыняк, С.А. Смолов, А.Д. Татарников, М.М. Чупилко, А.А. Сортон.  
Средства функциональной верификации микропроцессоров [Статья в Интернет]  
Режим доступа: Сборник трудов ИСП РАН, <https://ispranproceedings.elpub.ru/jour/article/view/771>,  
свободный. (дата обращения: 13.10.2022)

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

## 8. ПРИЛОЖЕНИЯ

## Приложение 1

## Словарь используемых терминов и понятий

Таблица 1 – словарь используемых терминов и понятий

Термин	Значение
Функциональная верификация	Процесс проверки соответствия разрабатываемой RTL-модели микропроцессора документам, описывающих требования к ней.
Динамическое (функциональное) тестирование	Способ проведения верификации, подразумевающий проверку соответствия реализации требованиям путем исполнения тестов на целевой (тестируемой) системе.
Оффлайн-тестирование	Процесс генерации набора тестовых ситуаций без использования системы, подлежащей тестированию.
Онлайн-тестирование	Процесс генерации набора тестовых ситуаций и их непосредственного исполнения на системе, подлежащей тестированию.
Микропроцессорная архитектура (Instruction Set Architecture, ISA)	Совокупность правил и свойств, по которым происходят вычисления на уровне микропроцессора. ISA регламентирует использование регистров микропроцессора, а также существующие типы данных, модель памяти и другие аспекты.
Bare-metal система	Комплекс аппаратных средств без выстроенного программного окружения, ответственного за контроль используемой памяти, планируемых задач и других взаимодействий в рамках системы и необходимых для этого ресурсов – операционной системы.

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

### Зафиксированный набор отладочных сообщений в рамках проведенных тестов

**Generator ver. 0.0.1 starting...**

**Configured with ->**

**Hardware architecture: 32 bit**

**/////////Running template tests...**

**Template generation started**

-----

**New block iteration (0)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:4, inner:4)**

**Processed instructions moved from buf to stack (0)**

**Unmutated instruction sequence execution...**

**Instructions mutated**

**Mutated instruction sequence execution...**

**Test #0, iter. #0: OK**

**Template generation started**

-----

**New block iteration (0)**

**Going to a child**

-----

**New block iteration (1)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (1)**

-----

**New block iteration (2)**

**Not a second visit**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

**Leaf instructions loaded**

**(Gen:3, inner:5)**

**Processed instructions moved from buf to stack (2)**

**New block iteration (3)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:1, inner:1)**

**Processed instructions moved from buf to stack (3)**

**New block iteration (0)**

**Not a second visit**

**Instructions block moved to buf (sequence, 1/3)**

**Instructions block moved to buf (sequence, 2/3)**

**Instructions block moved to buf (sequence, 3/3)**

**(Gen:6, inner:6)**

**Processed instructions moved from buf to stack (0)**

**Unmutated instruction sequence execution...**

**Instructions mutated**

**Mutated instruction sequence execution...**

**Test #1, iter. #0: OK**

**Template generation started**

**New block iteration (0)**

**Going to a child**

**New block iteration (1)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (1)**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

-----  
**New block iteration (2)**

**Not a second visit**

**Leaf instructions loaded**

**(Gen:3, inner:5)**

**Processed instructions moved from buf to stack (2)**  
 -----

**New block iteration (3)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:1, inner:1)**

**Processed instructions moved from buf to stack (3)**  
 -----

**New block iteration (0)**

**Not a second visit**

**Instructions block moved to buf (sequence, 1/3)**

**Instructions block moved to buf (sequence, 2/3)**

**Instructions block moved to buf (sequence, 3/3)**

**(Gen:6, inner:6)**

**Processed instructions moved from buf to stack (0)**

**Unmutated instruction sequence execution...**

**Instructions mutated**

**Mutated instruction sequence execution...**

**Test #2, iter. #0: OK**

**Template generation started**  
 -----

**New block iteration (0)**

**Going to a child**  
 -----

**New block iteration (1)**

**Not a second visit**

**Leaf instructions loaded**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (1)**

**New block iteration (2)**

**Not a second visit**

**Leaf instructions loaded**

**(Gen:3, inner:5)**

**Processed instructions moved from buf to stack (2)**

**New block iteration (3)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:1, inner:1)**

**Processed instructions moved from buf to stack (3)**

**New block iteration (0)**

**Not a second visit**

**Instructions block moved to buf (sequence, 1/3)**

**Instructions block moved to buf (sequence, 2/3)**

**Instructions block moved to buf (sequence, 3/3)**

**(Gen:6, inner:6)**

**Processed instructions moved from buf to stack (0)**

**Unmutated instruction sequence execution...**

**Instructions mutated**

**Mutated instruction sequence execution...**

**Test #3, iter. #0: OK**

**Template generation started**

**New block iteration (0)**

**Going to a child**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

**New block iteration (1)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (1)**

**New block iteration (2)**

**Not a second visit**

**Leaf instructions loaded**

**(Gen:3, inner:5)**

**Processed instructions moved from buf to stack (2)**

**New block iteration (3)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:1, inner:1)**

**Processed instructions moved from buf to stack (3)**

**New block iteration (0)**

**Not a second visit**

**Instructions block moved to buf (sequence, 1/3)**

**Instructions block moved to buf (sequence, 2/3)**

**Instructions block moved to buf (sequence, 3/3)**

**(Gen:6, inner:6)**

**Processed instructions moved from buf to stack (0)**

**Unmutated instruction sequence execution...**

**Instructions mutated**

**Mutated instruction sequence execution...**

**Test #4, iter. #0: OK**

**Template generation started**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата



**New block iteration (0)**

**Going to a child**

-----

**New block iteration (1)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (1)**

-----

**New block iteration (2)**

**Going to a child**

-----

**New block iteration (3)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (3)**

-----

**New block iteration (4)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (4)**

-----

**New block iteration (5)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (5)**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

-----  
**New block iteration (6)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (6)**

-----  
**New block iteration (7)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (7)**

-----  
**New block iteration (2)**

**Not a second visit**

**Instructions moved to buf (rel pool)**

**Instructions moved to buf (rel pool)**

**Instructions moved to buf (rel pool)**

**(Gen:6, inner:10)**

**Processed instructions moved from buf to stack (2)**

-----  
**New block iteration (8)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:1, inner:1)**

**Processed instructions moved from buf to stack (8)**

-----  
**New block iteration (0)**

**Not a second visit**

**Instructions block moved to buf (sequence, 1/3)**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

**Instructions block moved to buf (sequence, 2/3)**

**Instructions block moved to buf (sequence, 3/3)**

**(Gen:9, inner:9)**

**Processed instructions moved from buf to stack (0)**

**Unmutated instruction sequence execution...**

**Instructions mutated**

**Mutated instruction sequence execution...**

**Test #5, iter. #0: OK**

**Template generation started**

-----  
**New block iteration (0)**

**Going to a child**

-----  
**New block iteration (1)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (1)**

-----  
**New block iteration (2)**

**Going to a child**

-----  
**New block iteration (3)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (3)**

-----  
**New block iteration (4)**

**Not a second visit**

**Leaf instructions loaded**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (4)**

**New block iteration (5)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (5)**

**New block iteration (6)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (6)**

**New block iteration (7)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (7)**

**New block iteration (2)**

**Not a second visit**

**Instructions moved to buf (unrel pool)**

**Instructions moved to buf (unrel pool)**

**Instructions moved to buf (unrel pool)**

**(Gen:6, inner:10)**

**Processed instructions moved from buf to stack (2)**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

**New block iteration (8)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:1, inner:1)**

**Processed instructions moved from buf to stack (8)**

-----  
**New block iteration (0)**

**Not a second visit**

**Instructions block moved to buf (sequence, 1/3)**

**Instructions block moved to buf (sequence, 2/3)**

**Instructions block moved to buf (sequence, 3/3)**

**(Gen:9, inner:9)**

**Processed instructions moved from buf to stack (0)**

**Unmutated instruction sequence execution...**

**Instructions mutated**

**Mutated instruction sequence execution...**

**Test #6, iter. #0: OK**

**Template generation started**

-----  
**New block iteration (0)**

**Going to a child**

-----  
**New block iteration (1)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (1)**

-----  
**New block iteration (2)**

**Going to a child**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

**New block iteration (3)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (3)**

**New block iteration (4)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (4)**

**New block iteration (5)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (5)**

**New block iteration (6)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (6)**

**New block iteration (7)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

**Processed instructions moved from buf to stack (7)**

-----  
**New block iteration (2)**

**Not a second visit**

**Instructions moved to buf (rel pool)**

**Instructions moved to buf (rel pool)**

**Instructions moved to buf (rel pool)**

**(Gen:6, inner:10)**

**Processed instructions moved from buf to stack (2)**

-----  
**New block iteration (8)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:1, inner:1)**

**Processed instructions moved from buf to stack (8)**

-----  
**New block iteration (0)**

**Not a second visit**

**Instructions block moved to buf (sequence, 1/3)**

**Instructions block moved to buf (sequence, 2/3)**

**Instructions block moved to buf (sequence, 3/3)**

**(Gen:9, inner:9)**

**Processed instructions moved from buf to stack (0)**

**Unmutated instruction sequence execution...**

**Instructions mutated**

**Mutated instruction sequence execution...**

**Test #7, iter. #0: OK**

**Template generation started**

-----  
**New block iteration (0)**

**Going to a child**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

**New block iteration (1)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (1)**

-----  
**New block iteration (2)**

**Going to a child**

-----  
**New block iteration (3)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (3)**

-----  
**New block iteration (4)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (4)**

-----  
**New block iteration (5)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (5)**

-----  
**New block iteration (6)**

**Not a second visit**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата



**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (6)**

**New block iteration (7)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:2, inner:2)**

**Processed instructions moved from buf to stack (7)**

**New block iteration (2)**

**Not a second visit**

**Instructions moved to buf (unrel pool)**

**Instructions moved to buf (unrel pool)**

**Instructions moved to buf (unrel pool)**

**(Gen:6, inner:10)**

**Processed instructions moved from buf to stack (2)**

**New block iteration (8)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:1, inner:1)**

**Processed instructions moved from buf to stack (8)**

**New block iteration (0)**

**Not a second visit**

**Instructions block moved to buf (sequence, 1/3)**

**Instructions block moved to buf (sequence, 2/3)**

**Instructions block moved to buf (sequence, 3/3)**

**(Gen:9, inner:9)**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

**Processed instructions moved from buf to stack (0)**

**Unmutated instruction sequence execution...**

**Instructions mutated**

**Mutated instruction sequence execution...**

**Test #8, iter. #0: OK**

**Template generation started**

-----  
**New block iteration (0)**

**Going to a child**

-----  
**New block iteration (1)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:3, inner:3)**

**Processed instructions moved from buf to stack (1)**

-----  
**New block iteration (2)**

**Not a second visit**

**Leaf instructions loaded**

**(Gen:2, inner:3)**

**Processed instructions moved from buf to stack (2)**

-----  
**New block iteration (3)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:1, inner:1)**

**Processed instructions moved from buf to stack (3)**

-----  
**New block iteration (0)**

**Not a second visit**

**Instructions block moved to buf (sequence, 1/3)**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

**Instructions block moved to buf (sequence, 2/3)**

**Instructions block moved to buf (sequence, 3/3)**

**(Gen:6, inner:6)**

**Processed instructions moved from buf to stack (0)**

**Unmutated instruction sequence execution...**

**Instructions mutated**

**Mutated instruction sequence execution...**

**Test #9, iter. #0: OK**

**Template generation started**

-----  
**New block iteration (0)**

**Going to a child**

-----  
**New block iteration (1)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:3, inner:3)**

**Processed instructions moved from buf to stack (1)**

-----  
**New block iteration (2)**

**Not a second visit**

**Leaf instructions loaded**

**(Gen:2, inner:3)**

**Processed instructions moved from buf to stack (2)**

-----  
**New block iteration (3)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:1, inner:1)**

**Processed instructions moved from buf to stack (3)**

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

**New block iteration (0)**

**Not a second visit**

**Instructions block moved to buf (sequence, 1/3)**

**Instructions block moved to buf (sequence, 2/3)**

**Instructions block moved to buf (sequence, 3/3)**

**(Gen:6, inner:6)**

**Processed instructions moved from buf to stack (0)**

**Unmutated instruction sequence execution...**

**Instructions mutated**

**Mutated instruction sequence execution...**

**Test #9, iter. #1: OK**

**Template generation started**

**New block iteration (0)**

**Not a second visit**

**Leaf instructions loaded**

**Instructions block moved to buf (sequence, 1/1)**

**(Gen:27, inner:27)**

**Processed instructions moved from buf to stack (0)**

**Unmutated instruction sequence execution...**

**Instructions mutated**

**Mutated instruction sequence execution...**

**Test #10, iter. #0: Error**

**Core dumped:**

<b>x0(!): 0x00000000(0x00000000)</b>	<b>x1: 0x00011270(0x00011040)</b>	<b>x2: 0x7ffdd00(0x7ffdd00)</b>
<b>x3: 0x00073e84(0x00073e84)</b>	<b>x4: 0x000926e0(0x000926e0)</b>	<b>x5: 0x00011e8c(0x00011e8c)</b>
<b>x6(!): 0x00000628(0x2525254c)</b>	<b>x7(!): 0x00000031(0x00000031)</b>	<b>x8(!): 0x7ffdd7b(0x7ffdd7b)</b>
<b>x9(!): 0x0007c9aa(0x0007c9aa)</b>	<b>x10(!): 0x0000004f(0x00000051)</b>	<b>x11(!): 0x00051791(0x0005174d)</b>
<b>x12(!): 0x00000045(0x00000047)</b>	<b>x13(!): 0x00092b5b(0x00092b1c)</b>	<b>x14(!): 0x00000026(0x00000026)</b>
<b>x15(!): 0x7ffdda5(0x7ffed45)</b>	<b>x16(!): 0xfefeff0f(0xfefeff0f)</b>	<b>x17(!): 0x00000028(0x2525254d)</b>
<b>x18(!): 0x00000016(0x00000016)</b>	<b>x19(!): 0x7fffdabc(0x7fffdabc)</b>	<b>x20(!): 0x000926e0(0x000926e0)</b>
<b>x21(!): 0x0000000f(0x0000000f)</b>	<b>x22(!): 0x0001044a(0x0001044a)</b>	<b>x23(!): 0x00000031(0x00000031)</b>
<b>x24(!): 0x00000029(0x00000029)</b>	<b>x25(!): 0x0000000b(0x0000000b)</b>	<b>x26(!): 0x00000031(0x00000031)</b>

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

x27(!): 0x0000000d(0x0000000d) x28(!): 0x0000001a(0x0000001a) x29(!): 0x64384468(0x64384468)  
 x30(!): 0x0000000a(0x0000000a) x31(!): 0x0000040f(0x0000040f)

/////////Finished running template tests.

/////////Running ASM-tests...

Unmutated instruction sequence execution...

Instructions mutated

Mutated instruction sequence execution...

Test #0: OK

Unmutated instruction sequence execution...

Instructions mutated

Mutated instruction sequence execution...

Test #1: Error

Core dumped:

x0: 0x00000000(0x00000000)	x1: 0x0001185c(0x0001162c)	x2: 0x7ffdd40(0x7ffdd40)
x3: 0x00073e84(0x00073e84)	x4: 0x000926e0(0x000926e0)	x5: 0x00011e8c(0x00011e8c)
x6: 0x00000019(0x00000019)	x7: 0x00000000(0x0000001c)	x8: 0x7ffdd70(0x7ffdd70)
x9: 0x00073cd8(0x00073cd8)	x10: 0x0000002a(0x0000002c)	x11: 0x0005176c(0x00051728)
x12: 0x00000029(0x0000002b)	x13: 0x0009305f(0x00093020)	x14: 0x00000000(0x00000000)
x15: 0x7ffdd78(0x7ffed18)	x16: 0xfefefeff(0xfefefeff)	x17: 0x00000001(0x2525252f)
x18: 0x00000001(0x00000001)	x19: 0x7ffdda4(0x7ffdda4)	x20: 0x000926e0(0x000926e0)
x21: 0x00000001(0x00000001)	x22: 0x00010434(0x00010434)	x23: 0x00000000(0x0000001c)
x24: 0x00000000(0x00000000)	x25: 0x00000000(0x00000000)	x26: 0x00000000(0x00000000)
x27: 0x00000000(0x00000000)	x28: 0xffffffff(0xffffffff)	x29: 0x64384450(0x64384450)
x30: 0x00000000(0x00000000)	x31: 0x000003e8(0x000003e8)	

/////////Finished running ASM-tests.

Failures: 2.

Failure #0: template #10, iter. #0.

Failure #1: ASM-test #1.

Generator stopped.

Изм.	Лист	№ док.	Подп.	Дата
RU.17701729.04.04-01 51 01-1				
Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата